



CERTIFICATE OF MAILING

I hereby certify that the below listed documents are being deposited with the U.S. Postal Service as first class mail in an envelope addressed to:

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

on November 10, 2003

H. Chin Barnhill
Hui Chin Barnhill

In Re Application of: Lin et al.

Serial No.: 10/633,982

Filed: August 4, 2003

For: **Over-Driven Access Method and Device for Ferroelectric Memory**

Group Art Unit: 2872

Examiner: Unassigned

Docket No. 251310-1050

The following is a list of documents enclosed:

Return Postcard
Claim of Priority to and Submission of...
Certified Copy of Priority Doc

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Lin et al.

Group Art Unit: 2872

Serial No.: 10/633,982

Examiner: Unassigned

Filed: August 4, 2003

Docket No. 251310-1050

For: **Over-Driven Access Method and Device for Ferroelectric Memory**

CLAIM OF PRIORITY TO AND
SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION
PURSUANT TO 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Over-Driven Access Method and Device for Ferroelectric Memory", filed April 17, 2003, and assigned serial number 92108988. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER
& RISLEY, L.L.P.**

By: _____

Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750
Atlanta, Georgia 30339
770-933-9500

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

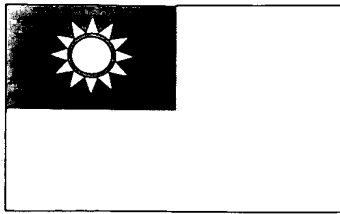
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 17 日
Application Date

申請案號：092108988
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 8 日
Issue Date

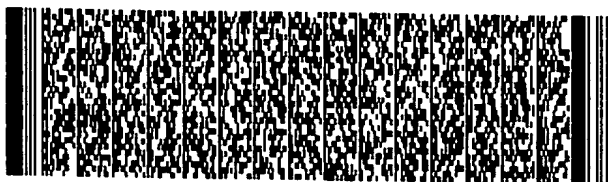
發文字號：09220801800
Serial No.

申請日期：2003.4.17	IPC分類
申請案號：92108988	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	鐵電記憶體之過度驅動讀取方法及裝置
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 林金溪 2. 翁啟明
	姓名 (英文)	1. Lin, Chin-Hsi 2. Weng, Chi-Ming
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 竹市柴橋路59巷42號 2. 新竹科學園區力行路16號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 旺宏電子股份有限公司
	名稱或姓名 (英文)	1. MACRONIX INTERNATIONAL CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 16, Li-Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡定華
	代表人 (英文)	1.



TW0554E(旺宏).ptd

四、中文發明摘要 (發明名稱：鐵電記憶體之過度驅動讀取方法及裝置)

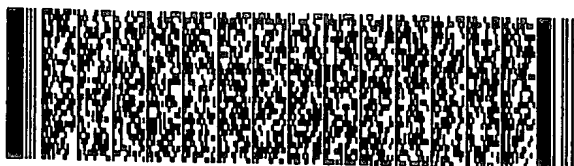
一種鐵電記憶體之過度驅動讀取方法及裝置，若使用板線驅動法(或位元線驅動法)，在拉高板線(或位元線)的電壓以差異化位元線BL與BL'的電壓後，更提供一過度驅動電流以稍微拉低(或拉高)位元線BL與BL'的電壓，使得位元線BL與BL'的電壓差距再更大。因此本發明可以增加讀取之效能。

五、(一)、本案代表圖為：第 6A 圖

(二)、本案代表圖之元件代表符號簡單說明：

600：鐵電記憶體

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

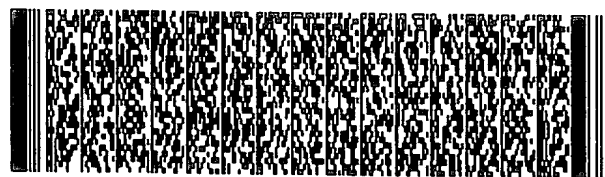
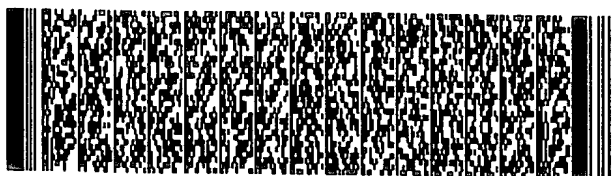
〔發明所屬之技術領域〕

本發明是有關於一種記憶體之讀取方法及裝置，且特別是有關於一種用於鐵電記憶體之過度驅動讀取方法及裝置。

〔先前技術〕

鐵電(ferroelectric)記憶體係以鐵電電容(ferroelectric capacitor)作為儲存媒介。鐵電電容可以極化成不同的極化狀態(polarized state)，因此可以以極化狀態表示所儲存之資料。請參照第1圖，其繪示為鐵電電容之極化狀態轉移圖。鐵電電容之極化狀態轉移係具有遲滯(hysteresis)特性，也就是必須施加大於零的電壓才能使鐵電電容之極化狀態由負極性轉變為正極性，或施加小於零的電壓才能使鐵電電容之極化狀態由正極性轉變為負極性。由於鐵電電容可以在沒有電源供應的情況下維持其極化狀態，因此具有替代現有之快閃記憶體之潛力。而且只要改變施加於鐵電電容之電壓即能改變鐵電電容之極化狀態，因此也可以取代現今的動態記憶體(Dynamic RAM, DRAM)。

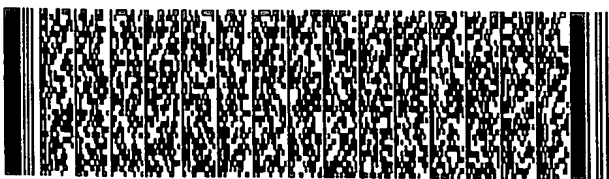
鐵電電容除了具有遲滯之特性，另一個特性是電容值係會變動。由於電容值C之公式為 $C = \Delta Q / \Delta V$ ，Q為電荷量，V係為電容之壓降。而鐵電電容之極化狀態P係與電荷Q成正比，因此電容值C係與第1圖中之極化狀態轉移曲線之斜率成正比。斜率愈大者，電容值愈大，由第1圖中可知，在極性轉換中的電容值是比穩態的電容值為大。



五、發明說明 (2)

請參照第2A圖，其繪示為鐵電記憶體之一個記憶單元的示意圖。此記憶單元係為1T1C的形式，也就是由一個電晶體T與一個鐵電電容Cf構成，鐵電電容Cf之一端係與板線(plate line, PL)耦接。當字元線WL致能時，鐵電電容Cf之壓降即為板線PL與位元線BL之電壓差。請參照第2B圖，其繪示為另一種鐵電記憶體之一個記憶單元的示意圖。此記憶單元係為2T2C的形式，也就是由兩個電晶體T、T'與兩個鐵電電容Cf、Cf'所構成。每個記憶單元還包括一個感測放大器SA，用以放大位元線BL與BL'之電壓差，以利於讀取鐵電記憶體所儲存的內容。第2B圖中所示之感測放大器SA係為門鎖(latch)感測放大器，包括有兩個反相器，以將電壓較大的位元線之電壓拉的更高，並將電壓較小的位元線之電壓拉的更低。感測放大器係接收感測致能信號SAE而啟動。

一般而言，讀取鐵電記憶體的方法有兩種：板線驅動法(plate-line driven)與位元線驅動法(bit-line driven)。請參照第3圖，其繪示為以板線驅動法讀取鐵電記憶體之時序圖。在此係以第2B圖中之鐵電記憶體為例。剛開始時，鐵電電容Cf與Cf'之極化狀態P與P'係各為正極性與負極性。首先，在時間區段T1時致能(enable)字元線WL，以導通電晶體T及T'。接著，在時間區段T2時，致能板線PL，以使板線PL之電壓為高位準。由於鐵電電容Cf之與Cf'之壓降改變成正值，所以其極化狀態P與P'如圖所示皆為正極性。鐵電電容Cf'之極化狀態由負極性轉換至正



五、發明說明 (3)

極性，因此其電容值較大，因此鐵電電容 Cf' 儲存較多的電荷，使得位元線 BL' 之電壓亦較大。然後，在時間區段 $T3$ 時，致能感測放大器 SA 以放大位元線 BL 與 BL' 之電壓差，以方便判斷記憶單元所儲存之內容。此時，位元線 BL' 的電壓較高，所以被拉升至高位準，而位元線 BL 則被拉低至低位準。因為位元線 BL' 與板線 PL 之電壓同為高位準，鐵電電容 Cf' 之壓降近於零，致使其極化狀態 P 的轉變如圖所示，但仍為正極性。以上所述之時間區段 $T1$ 與 $T2$ 係為驅動階段，以差異化位元線之電壓；時間區段 $T3$ 則為感測階段。

時間區段 $T3$ 的鐵電電容 Cf' 之極化狀態 P' 係已轉為正極性，而進行讀取階段前係為負極性，因此需進行復原之步驟以恢復原先的狀態。首先，在時間區段 $T4$ 中，解能(disable)板線 PL 。此時，由於鐵電電容 Cf' 之壓降轉為負，因此其極化狀態 P' 改變至負極性。在時間區段 $T5$ 中，解能感測放大器 SA 。此時，位元線 BL 之電壓即下降，使得鐵電電容 Cf' 之壓降降至零，也就恢復了原先的極化狀態。

板線驅動法係先致能板線 PL 與字元線 WL 以使位元線 BL 與 BL' 依據鐵電電容 Cf 與 Cf' 之極化狀態而產生不同的電壓。而位元線驅動法係先致能位元線 BL 與 BL' ，然後致能字元線 WL ，以使位元線 BL 與 BL' 依據鐵電電容 Cf 與 Cf' 之極化狀態而產生不同的電壓，此為熟知此技藝之人士所共知，於此不再贅述。

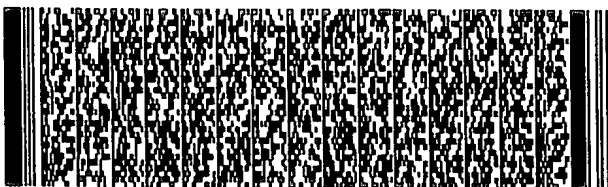


五、發明說明 (4)

為了改善讀取之品質，於ISSCC 2001, "A 76mm² 8Mb Chain Ferroelectric Memory" 一文中提出一種過度驅動讀取方法。請參照第4圖，其繪示為習知之使用過度驅動讀取方法之鐵電記憶體400示意圖。與上述之鐵電記憶體不同的地方在於，位元線BL與BL'分別另外連接一個電晶體Q、Q'與電容Cov、Cov'。請參照第5圖，其繪示為習知之使用過度驅動法之時序圖。假設初始時晶胞Cell係負極性；晶胞Cell'係正極性。過度驅動讀取法係用以輔助上述之板線驅動法或位元線驅動法。本例係用以輔助板線驅動法。首先，於時間t1時拉高板線PL之電壓。此時，由於晶胞Cell由負極性轉至正極性，因此其電容值較大，因此有較多的電荷耦合至位元線BL，所以位元線BL之電壓較位元線BL'為高，電壓差為 $\Delta v1$ 。接著，在時間t3時，拉低過度驅動電壓ODV，此時位元線BL與BL'之電壓皆因而下降。但由於晶胞Cell的電容值較大，使得位元線BL電壓下降的速度小於位元線BL'之電壓下降的速度。所以位元線BL與BL'的電壓差因為過度驅動電壓ODV的緣故更為增大，電壓差增大為 $\Delta v2$ 。其中， $\Delta v2$ 之值大於 $\Delta v1$ 之值。然後在時間t5時感測放大器SA打開，使得位元線BL之電壓拉到高位準，位元線BL'之電壓拉到低位準。此時即可讀出本記憶單元所儲存之內容。然而本方法需增加電容與電晶體，使得晶片面積增大，導致成本提高。

【發明內容】

有鑑於此，本發明的目的就是在提供一種不需額外增



五、發明說明 (5)

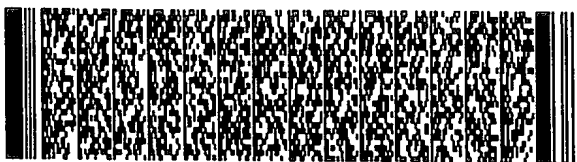
加晶片面積之過度驅動讀取方法及裝置，以增進讀取效能。本發明於讀取鐵電記憶體之資料時，不論係使用板線驅動法(或位元線驅動法)，在拉高板線(或位元線)的電壓以差異化位元線BL與BL'的電壓後，更提供一過度驅動電流以使得位元線BL與BL'的電壓差距再增加。

根據本發明的目的，提出一種鐵電記憶體，其特徵在包括第一電流源與第二電流源以提供過度驅動電流。

根據本發明的另一目的，提出一種板線過度驅動讀取方法。首先，拉高板線(plate line)之電壓以令正位元線與一反位元線產生一電壓差。接著，在正位元線與反位元線上各提供一第一漏電流與一第二漏電流，以拉低正位元線與反位元線之電壓，藉以加大此電壓差。然後，致能感測放大器以再增大此電壓差。然後，感測正位元線與反位元線之此電壓差，並據以輸出鐵電記憶體所儲存之內容。

依據本發明之另一目的，提出一種位元線過度驅動讀取方法。首先，對正位元線與反位元線預先充電，以提高正位元線與反位元線之電壓至高位準。接著，致能字元線以使正位元線與反位元線形成一電壓差。然後，在正位元線與反位元線上各提供一第一電流與一第二電流，以加大此電壓差。然後，致能感測放大器以再增大此電壓差。然後，感測正位元線與反位元線之此電壓差，並據以輸出鐵電記憶體所儲存之內容。

根據本發明之另一目的，提出一種鐵電記憶體，可使用板線過度驅動讀取方法或位元線過度驅動讀取方法。其



五、發明說明 (6)

感測放大器係由P開關與N開關所控制。當只有P開關與N開關之一致能時，該感測放大器係用以做電流源。當P開關與N開關同時致能時，感測放大器即提供正常之放大及感測之功能。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本發明之精神在於讀取鐵電記憶體之資料時，不論係使用板線驅動法(或位元線驅動法)，在拉高板線(或位元線)的電壓以差異化位元線BL與BL'的電壓後，更提供一過度驅動電流以稍微拉低(或拉高)位元線BL與BL'的電壓，使得位元線BL與BL'的電壓差距再更大。以下將分別說明輔助板線驅動法之板線過度驅動讀取方法與輔助位元線驅動法之位元線過度驅動讀取方法。

[第一較佳實施例]

請參照第6A圖，其繪示依照本發明一第一較佳實施例的一種使用板線過度驅動讀取方法之鐵電記憶體600示意圖。與傳統之記憶單元不同之處在於，於位元線BL與BL'各提供電流源I1與I1'。而電流源之實施係可以使用P型電晶體達成，如第6B圖所示。第6B圖係依據第6A圖所示之一種鐵電記憶體650之示意圖。其中，係以N型電晶體Q1與Q1'達成電流源I1與I1'的功能，電晶體Q6與Q6'係依據



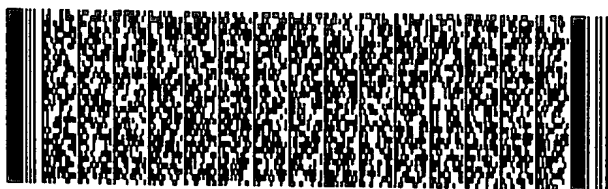
五、發明說明 (7)

過度驅動電壓ODV而決定導通與否。

請參照第7圖，其繪示為在鐵電記憶體650中使用板線過度驅動讀取方法之時序圖。假設初始時鐵電電容 C_f 係負極性；鐵電電容 C_f' 係正極性。首先，於時間 t_1 時拉高板線PL之電壓。此時，由於鐵電電容 C_f 由負極性轉至正極性，因此其電容值較大，因此有較多的電荷耦合至位元線BL，所以位元線BL之電壓較位元線BL'為高，電壓差為 Δv_1 。接著，在時間 t_3 時，拉低過度驅動電壓ODV，此時位元線BL與BL'之電壓皆因而下降。但由於鐵電電容 C_f 的電容值較大，使得位元線BL電壓下降的速度小於位元線BL'之電壓下降的速度。所以位元線BL與BL'的電壓差因為過度驅動電壓ODV的緣故更為增大，電壓差增大為 Δv_2 。其中， Δv_2 之值大於 Δv_1 之值。然後在時間 t_5 時感測放大器SA打開，使得位元線BL之電壓拉到高位準，位元線BL'之電壓拉到低位準。此時即可讀出本記憶單元所儲存之內容。

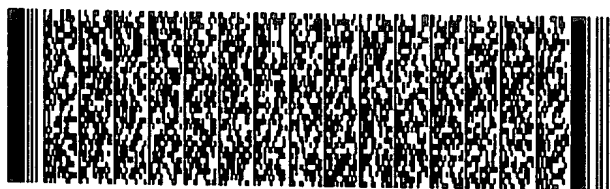
上述之第6A與6B圖所示之使用過度驅動讀取法之鐵電記憶體與傳統如第2B圖所示之鐵電記憶體相較之下，皆需要增加額外的元件。惟，所需增加的晶片面積仍比第4圖所示之使用過度驅動讀取法之鐵電記憶體來的小，因此本發明之鐵電記憶體可以減少所需之晶片面積。此外，尚有另一種不需增加額外元件之作法，將於下一段詳述。

請參照第8圖，其繪示為依據第一實施例之使用過度驅動法之鐵電記憶體示意圖。鐵電記憶體800係以原有之感測放大器SA作為電流源，因此不需增加額外的元件。感



五、發明說明 (8)

測放大器SA係為門鎖(latch)感測放大器，包括N型電晶體 Q_n 、 Q_n' 、 Q_{sn} 、P型電晶體 Q_p 、 Q_p' 與 Q_{sp} 。其中，電晶體 Q_{sn} 係由控制信號SAN所控制；電晶體 Q_{sp} 係由控制信號SAP所控制。電晶體 Q_n 與 Q_p 係構成一組反相器；電晶體 Q_n' 與 Q_p' 係構成另一組反相器。請參照第9圖，其繪示為在在第8圖所示之鐵電記憶體800上使用板線過度驅動讀取方法之时序圖。初始時，假設鐵電電容 C_f 之極化狀態P係為正極性，鐵電電容 C_f' 之極化狀態P'係為負極性。於時間區段T1時，致能字元線WL以導通電晶體T與T'。於時間區段T2時，致能板線PL以使板線PL之電壓為高位準。由於鐵電電容 C_f 之與 C_f' 之壓降改變成正值，所以其極化狀態P與P'如圖所示皆為正極性。鐵電電容 C_f' 之極化狀態由負極性轉換至正極性，因此其電容值較大，因此鐵電電容 C_f' 儲存較多的電荷，使得位元線BL'之電壓亦較大。時間區段T3-1即用以提供過度驅動電流，此時，致能控制信號SAN以使電晶體 Q_{sn} 導通。此時由於位元線BL與BL'有大於零之電壓，因此位元線BL與BL'上的電荷可以經由電晶體 Q_n 、 Q_n' 及 Q_{sp} 流出，因此其電壓會下降。但由於連接至位元線BL之鐵電電容 C_f 之電容值較大，因此電壓幾乎沒有下降；而位元線BL'的電壓較易下降。所以位元線BL與BL'的電壓差即因此而擴大，此即達成本發明之目的。接著在時間區段T3-2時，致能控制信號SAP。此時感測放大器SA即為致能，因此位元線BL'的電壓即被拉高至高位準，位元線BL則被拉至低位準。此時即可以依據位元線BL與BL'之電壓



五、發明說明 (9)

差別讀此記憶單元儲存之內容。

[第二較佳實施例]

請參照第10A圖，其繪示依照本發明一第二較佳實施例的一種使用位元線過度驅動讀取方法之鐵電記憶體1000示意圖。與傳統之記憶單元不同之處在於，於位元線BL與BL'各提供電流源I2與I2'。而電流源之實施係可以使用P型電晶體達成，如第10B圖所示。第10B圖係依據第10A圖所示之一種鐵電記憶體1050之示意圖。其中，係以P型電晶體Q2與Q2'達成電流源I2與I2'的功能，電晶體Q2與Q2'係依據過度驅動電壓ODV而決定導通與否。

請參照第11圖，其繪示為在第10B圖所示之鐵電記憶體1050中使用位元線過度驅動讀取方法之時序圖。假設初始時鐵電電容Cf係負極性；鐵電電容Cf'係正極性。首先，於時間t1時預先對位元線BL與BL'充電，使其電壓拉升至高位準。接著，於時間t2時致能字元線WL。此時，由於電晶體T與T'導通，使得位元線上的電荷流至鐵電電容Cf與Cf'。由於鐵電電容Cf之電容值較大，所以位元線BL之電壓下降的比較快，而位元線BL'的電壓則下降的比較慢，所以位元線BL與BL'形成電壓差 $\Delta v1$ 。然後，於時間t3時拉高過度驅動電壓ODV至高位準，以導通電晶體Q2與Q2'。此時，由於電荷由電源流入位元線BL與BL'，所以其電壓上升。鐵電電容Cf的電容較大，使得位元線BL之電壓上升不顯著，而鐵電電容Cf'的電容較小，使得位元線

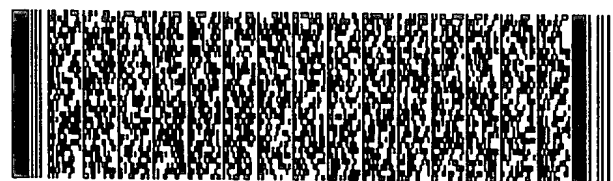
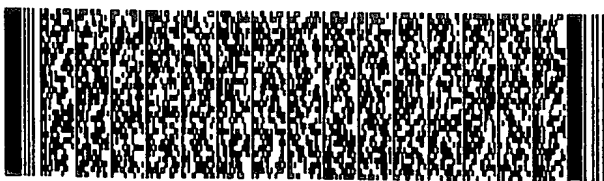


五、發明說明 (10)

BL' 之電壓上升較為顯著，使得位元線BL與BL' 的電壓差增大為 Δv_2 ，因此達成本發明之目的，以利於讀取。接著，於時間 t_4 打開感測放大器SA以使位元線BL之電壓拉至低位準，並使位元線BL' 之電壓拉至高位準。此時即可讀出本記憶單元所儲存之內容。

上述之第10A與10B圖所示之使用位元線過度驅動讀取法之鐵電記憶體與傳統如第2B圖所示之鐵電記憶體相較之下，皆需要增加額外的元件。惟，所需增加的晶片面積仍比第4圖所示之使用過度驅動讀取法之鐵電記憶體來的小，因此本發明之鐵電記憶體可以減少所需之晶片面積。

又，第8圖所示之鐵電記憶體800亦可以使用位元線過度驅動方法讀取其內容。請參照第12圖，其繪示為在第8圖所示之鐵電記憶體800上使用位元線過度驅動讀取方法之時序圖。初始時，假設鐵電電容 C_f 之極化狀態P係為正極性，鐵電電容 C_f' 之極化狀態P' 係為負極性。於時間區段T1時，預先對位元線BL與BL' 充電。然後在時間區段T2時，致能字元線WL以導通電晶體T與T'，使得位元線上的電荷流至鐵電電容 C_f 與 C_f' 。由於鐵電電容 C_f 之電容值較大，所以位元線BL之電壓下降的比較快，而位元線BL' 的電壓則下降的比較慢，所以位元線BL與BL' 形成電壓差 Δv_1 。然後，於時間區段T3 -1時拉低控制信號SAP以導通電晶體Qsp，使得電荷從電源流入位元線BL與BL'。鐵電電容 C_f 的電容較大，使得位元線BL之電壓上升不顯著，而鐵電電容 C_f' 的電容較小，使得位元線BL' 之電壓上升較為顯



五、發明說明 (11)

著，使得位元線BL與BL'的電壓差增大為 $\Delta v2$ ，因此達成本發明之目的，以利於讀取。接著，於時間區段T3-2拉高控制信號SAN。此時感測放大器SA即為完全致能，以使位元線BL之電壓拉至低位準，並使位元線BL'之電壓拉至高位準。此時即可讀出本記憶單元所儲存之內容。之後的時間區段T4與T5即用以恢復鐵電電容Cf與Cf'之極化狀態，於此不再贅述。

本發明上述實施例所揭露之鐵電記憶體之過度驅動讀取方法及裝置可以在縮小晶片面積下增加讀取之效能。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1圖繪示為鐵電電容之極化狀態轉移圖。

第2A圖繪示為鐵電記憶體之一個記憶單元的示意圖。

第2B圖繪示為另一種鐵電記憶體之一個記憶單元的示意圖。

第3圖繪示為以板線驅動法讀取鐵電記憶體之時序圖。

第4圖繪示為習知之使用過度驅動讀取方法之鐵電記憶體示意圖。

第5圖繪示為習知之使用過度驅動法之時序圖。

第6A圖繪示依照本發明一第一較佳實施例的一種使用板線過度驅動讀取方法之鐵電記憶體示意圖。

第6B圖係依據第6A圖所示之一種鐵電記憶體之示意圖。

第7圖繪示為在鐵電記憶體中使用板線過度驅動讀取方法之時序圖。

第8圖繪示為依據第一實施例之使用過度驅動法之鐵電記憶體示意圖。

第9圖繪示為在第8圖所示之鐵電記憶體上使用板線過度驅動讀取方法之時序圖。

第10A圖繪示依照本發明一第二較佳實施例的一種使用位元線過度驅動讀取方法之鐵電記憶體示意圖。

第10B圖係依據第10A圖所示之一種鐵電記憶體之示意圖。



圖式簡單說明

第11圖，其繪示為在第10B圖所示之鐵電記憶體中使用位元線過度驅動讀取方法之時序圖。

第12圖，其繪示為在第8圖所示之鐵電記憶體上使用位元線過度驅動讀取方法之時序圖。

圖式標號說明

400、600、650、800、1000、1050：鐵電記憶體



六、申請專利範圍

1. 一種鐵電記憶體之板線過度驅動讀取方法，該方法包括：

拉高該鐵電記憶體之一板線(plate line)之電壓以令該鐵電記憶體之一正位元線與一反位元線產生一電壓差；

在該鐵電記憶體之一正位元線與一反位元線上各提供一第一漏電流與一第二漏電流，以拉低該正位元線與該反位元線之電壓，藉以加大該電壓差；

致能該鐵電記憶體之一感測放大器以再增大該電壓差；以及

感測該正位元線與該反位元線之該電壓差，並據以輸出該鐵電記憶體所儲存之內容。

2. 如申請專利範圍第1項所述之板線過度驅動讀取方法，其中該感測放大器係為閃鎖感測放大器，當該閃鎖感測放大器被致能時，該正位元線與該反位元線中電壓較高者的電壓係被拉升至高位準，另一則被拉低至低位準。

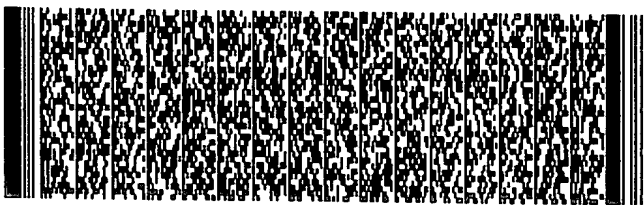
3. 一種鐵電記憶體之位元線過度驅動讀取方法，該方法包括：

對該鐵電記憶體之一正位元線與一反位元線預先充電，以提高該正位元線與該反位元線之電壓至高位準；

致能該鐵電記憶體之一字元線以使該正位元線與該反位元線形成一電壓差；

在該正位元線與該反位元線上各提供一第一電流與一第二電流，以加大該電壓差；

致能該鐵電記憶體之一感測放大器；以及



六、申請專利範圍

感測該正位元線與該反位元線之該電壓差，並據以輸出該鐵電記憶體所儲存之內容。

4. 如申請專利範圍第3項所述之位元線過度驅動讀取方法，其中該感測放大器係為閘鎖感測放大器，當該閘鎖感測放大器被致能時，該正位元線與該反位元線中電壓較高者的電壓係被拉升至高位準，另一則被拉低至低位準。

5. 一種鐵電記憶體，包括：

- 一感測放大器；及

- 一記憶單元，與該感測放大器耦接，包括：

- 一正位元線與一反位元線平行排列，並與該感測放大器耦接；

- 一字元線，與該正位元線與該反位元線實質上垂直排列；

- 一正記憶晶胞，與該字元線耦接，當該字元線致能時，該正位元線與該正記憶晶胞與該正位元線係為導通；

- 一反記憶晶胞，與該字元線耦接，當該字元線致能時，該反位元線與該反記憶晶胞係為導通；

- 一板線，與該正記憶單元及該反記憶單元耦接；

- 一第一電流源，與該正位元線耦接；以及

- 一第二電流源，與該反位元線耦接。

6. 如申請專利範圍第5項所述之鐵電記憶體，其中，該第一電流源與之流向係從該正位元線流至接地點，該第二電流源與之流向係從該反位元線流至接地點，並且該鐵



六、申請專利範圍

電記憶體係適用板線過度驅動讀取方法。

7. 如申請專利範圍第6項所述之鐵電記憶體，其中該第一電流源與該第二電流源係各包括一N型電晶體，並依據一過度驅動信號而導通。

8. 如申請專利範圍第5項所述之鐵電記憶體，其中，該第一電流源與之流向係流至該正位元線，該第二電流源與之流向係流至該反位元線，並且該鐵電記憶體係適用位元線過度驅動讀取方法。

9. 如申請專利範圍第8項所述之鐵電記憶體，其中該第一電流源與該第二電流源係各包括一P型電晶體，並依據一過度驅動信號而導通。

10. 如申請專利範圍第5項所述之鐵電記憶體，其中該感測放大器係為一門鎖感測放大器。

11. 一種鐵電記憶體，包括：

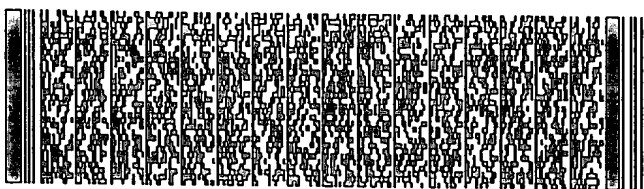
一記憶單元，包括：

一正位元線與一反位元線平行排列，並與該感測放大器耦接；

一字元線，與該正位元線與該反位元線實質上垂直排列；

一正記憶晶胞，與該字元線及該正位元線耦接，當該字元線致能時，該正位元線與該正記憶晶胞係為導通；

一反記憶晶胞，與該字元線及該反位元線耦接，當該字元線致能時，該反位元線與該反記憶晶胞係為導



六、申請專利範圍

通；及

一板線，與該正記憶單元及該反記憶單元耦接；

以及

一感測放大器，包括：

一第一反相器，其輸入端與該反位元線耦接，其輸出端與該正位元線耦接，用以將該反位元線之電壓反相後輸出，該第一反相器包括一第一P型電晶體與一第一N型電晶體，其中該第一P型電晶體與該第一N型電晶體之閘極係與該反位元線耦接，該第一P型電晶體之汲極與該第一N型電晶體之源極係耦接於該第一反相器之輸出端；

一第二反相器，其輸入端與該正位元線耦接，其輸出端與該反位元線耦接，用以將該正位元線之電壓反相後輸出，該第二反相器包括一第二P型電晶體與一第二N型電晶體，其中該第二P型電晶體與該第二N型電晶體之閘極係與該正位元線耦接，該第二P型電晶體之汲極與該第二N型電晶體之源極係耦接於該第二反相器之輸出端；

一P開關，其一端與該第一P型電晶體與該第二P型電晶體之源極耦接，另一端係耦接至一電源；及

一N開關，其一端與該第一N型電晶體與該第二N型電晶體之汲極耦接，另一端係接地。

12. 如申請專利範圍第11項所述之鐵電記憶體，其中該鐵電記憶體係適用於一板線過度驅動讀取方法，該方法包括：

致能該字元線；



六、申請專利範圍

致能該板線，以使該正位元線與該反位元線產生一電壓差；

致能該N開關，以加大該電壓差；

致能該P開關，此時該感測放大器即被致能，該正位元線與該反位元線中電壓較高者的電壓係被拉升至高位準，另一則被拉低至低位準，以再加大該電壓差；以及

感測該正位元線與該反位元線之該電壓差，並據以輸出該鐵電記憶體所儲存之內容。

13. 如申請專利範圍第11項所述之鐵電記憶體，其中，該鐵電記憶體係適用於一位元線過度驅動讀取方法，該方法包括：

預先對該正位元線與該反位元線充電；

致能該字元線，以使該正位元線與該反位元線產生一電壓差；

致能該P開關，以加大該電壓差；

致能該N開關，此時該感測放大器即被致能，以再加大該電壓差；以及

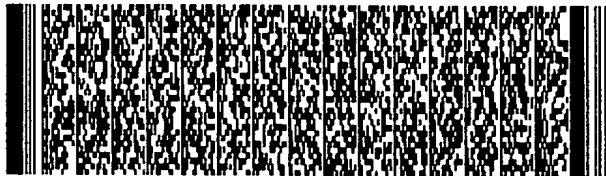
感測該正位元線與該反位元線之該電壓差，並據以輸出該鐵電記憶體所儲存之內容。

14. 如申請專利範圍第11項所述之鐵電記憶體，其中，該P開關係為P型電晶體。

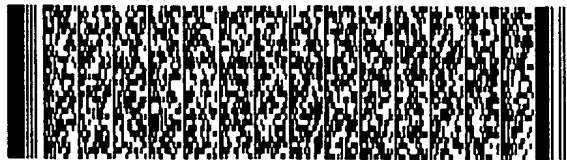
15. 如申請專利範圍第11項所述之鐵電記憶體，其中，該N開關係為N型電晶體。



第 1/21 頁



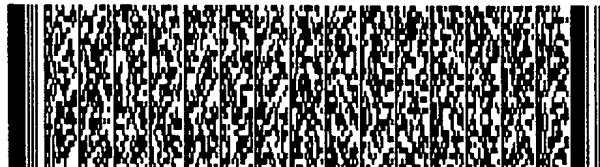
第 2/21 頁



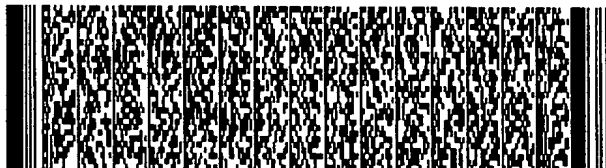
第 3/21 頁



第 4/21 頁



第 4/21 頁



第 5/21 頁



第 5/21 頁



第 6/21 頁



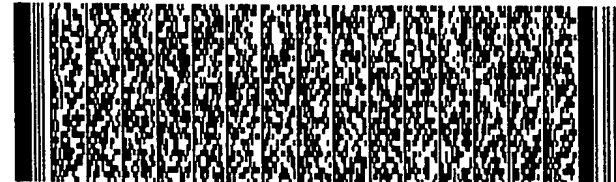
第 6/21 頁



第 7/21 頁



第 7/21 頁



第 8/21 頁



第 8/21 頁



第 9/21 頁



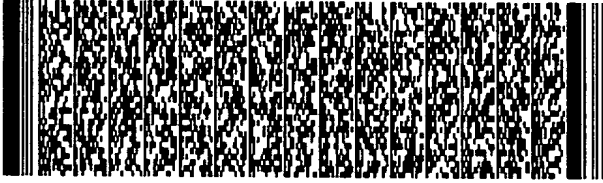
第 9/21 頁



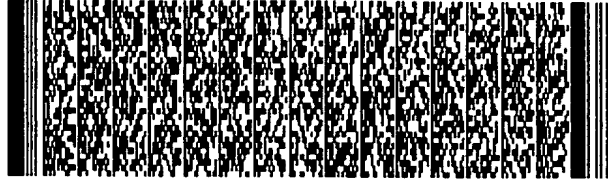
第 10/21 頁



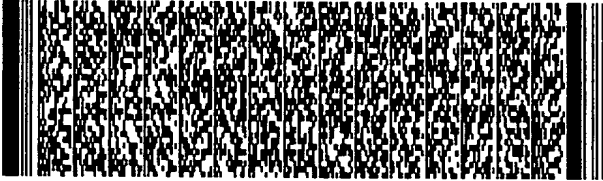
第 10/21 頁



第 11/21 頁



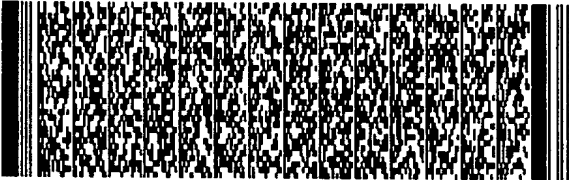
第 11/21 頁



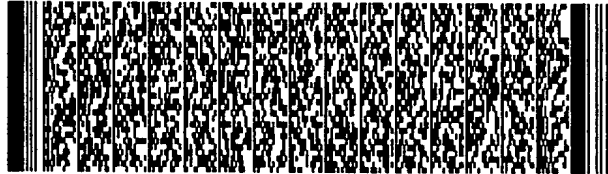
第 12/21 頁



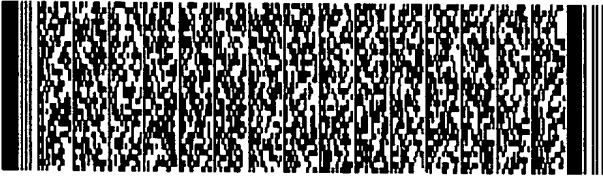
第 12/21 頁



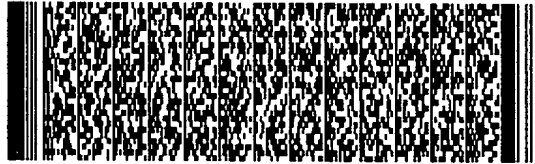
第 13/21 頁



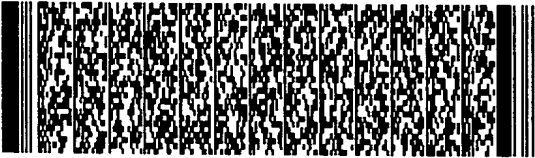
第 13/21 頁



第 14/21 頁



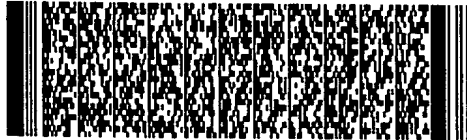
第 14/21 頁



第 15/21 頁



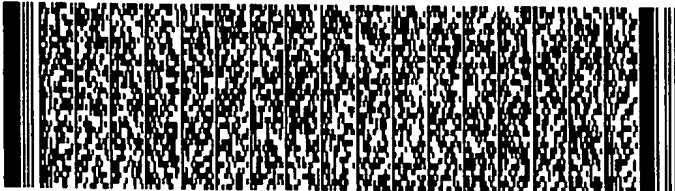
第 16/21 頁



第 17/21 頁



第 18/21 頁



第 19/21 頁

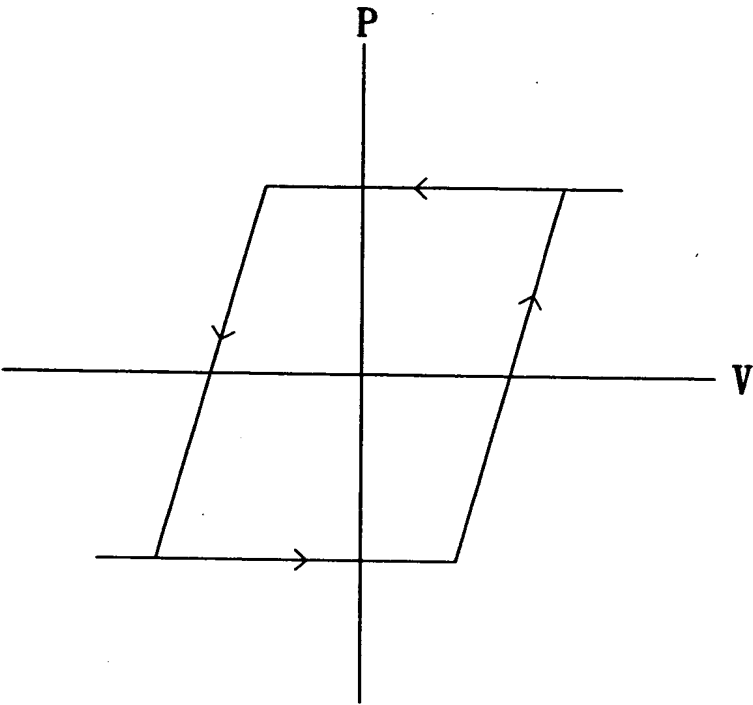


第 20/21 頁

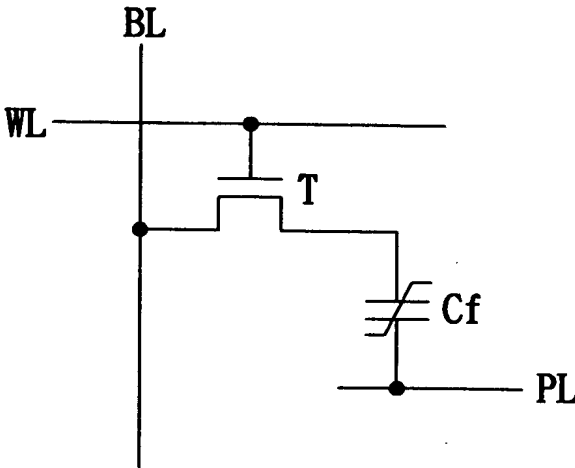


第 21/21 頁

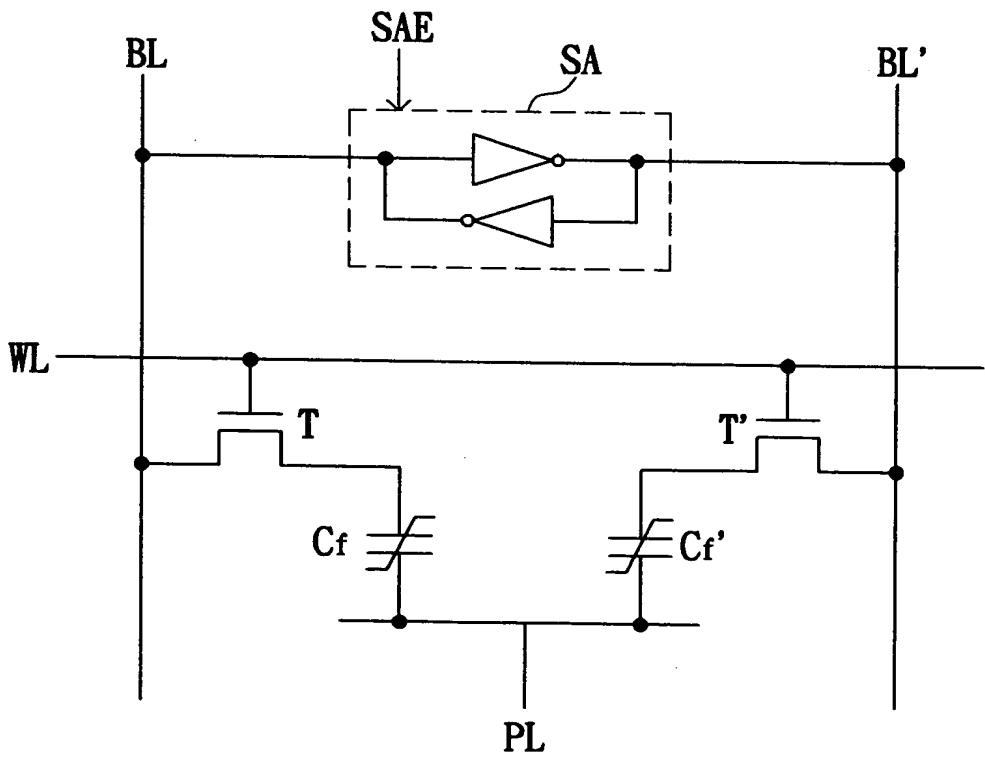




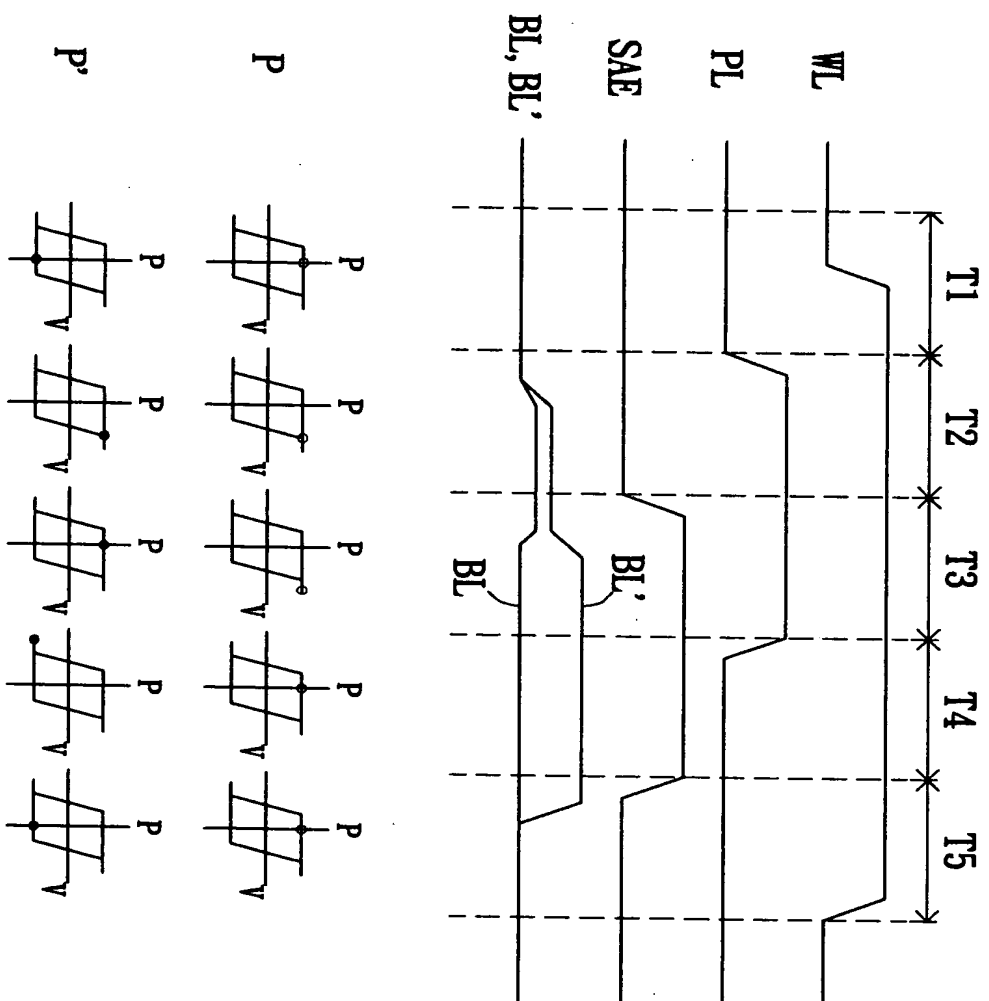
第 1 圖



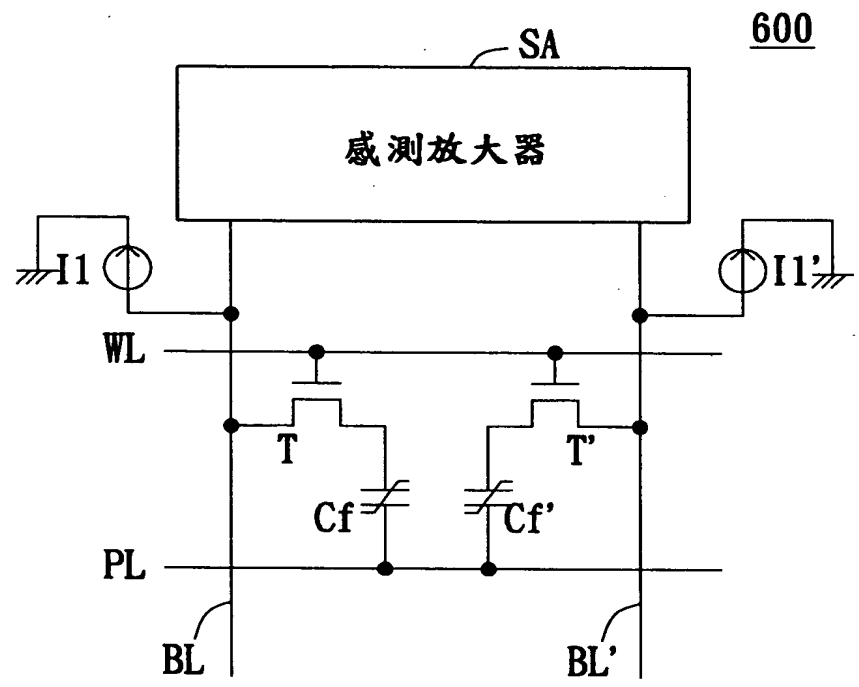
第 2A 圖



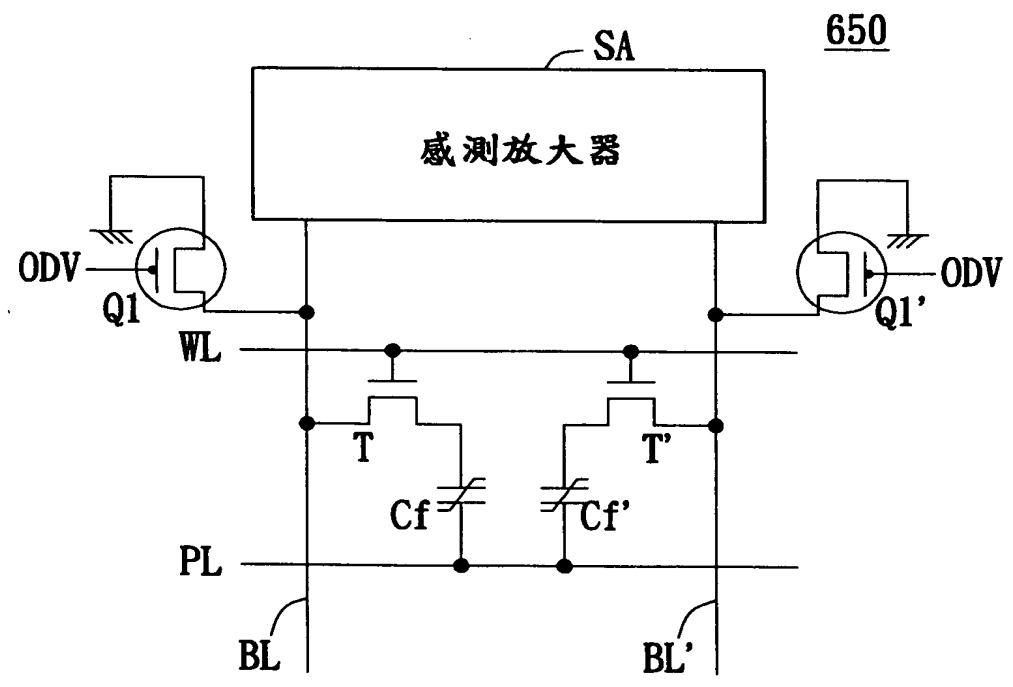
第 2B 圖



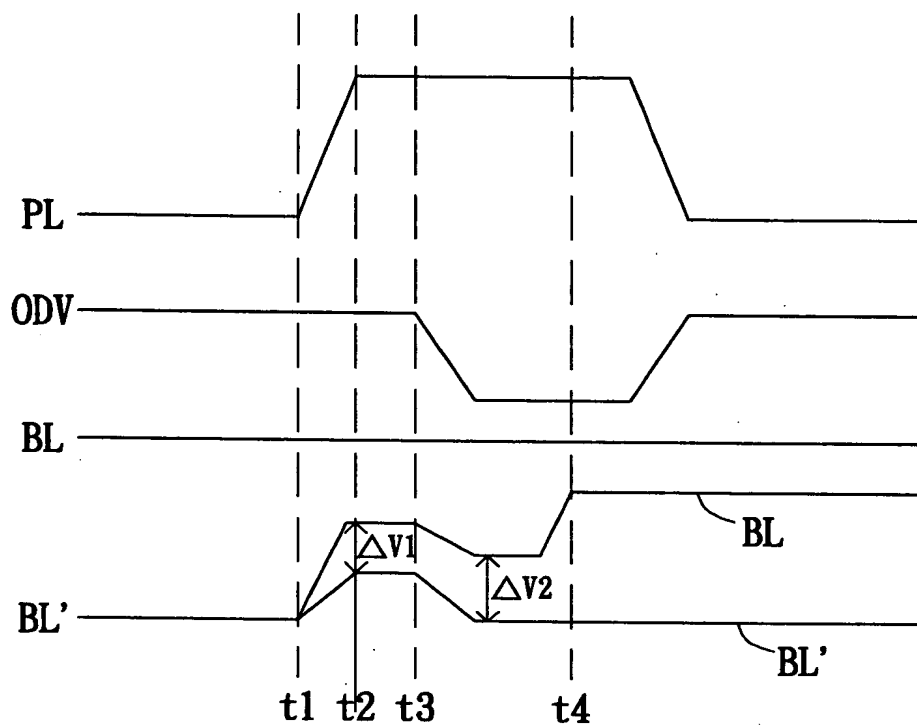
第 3 圖



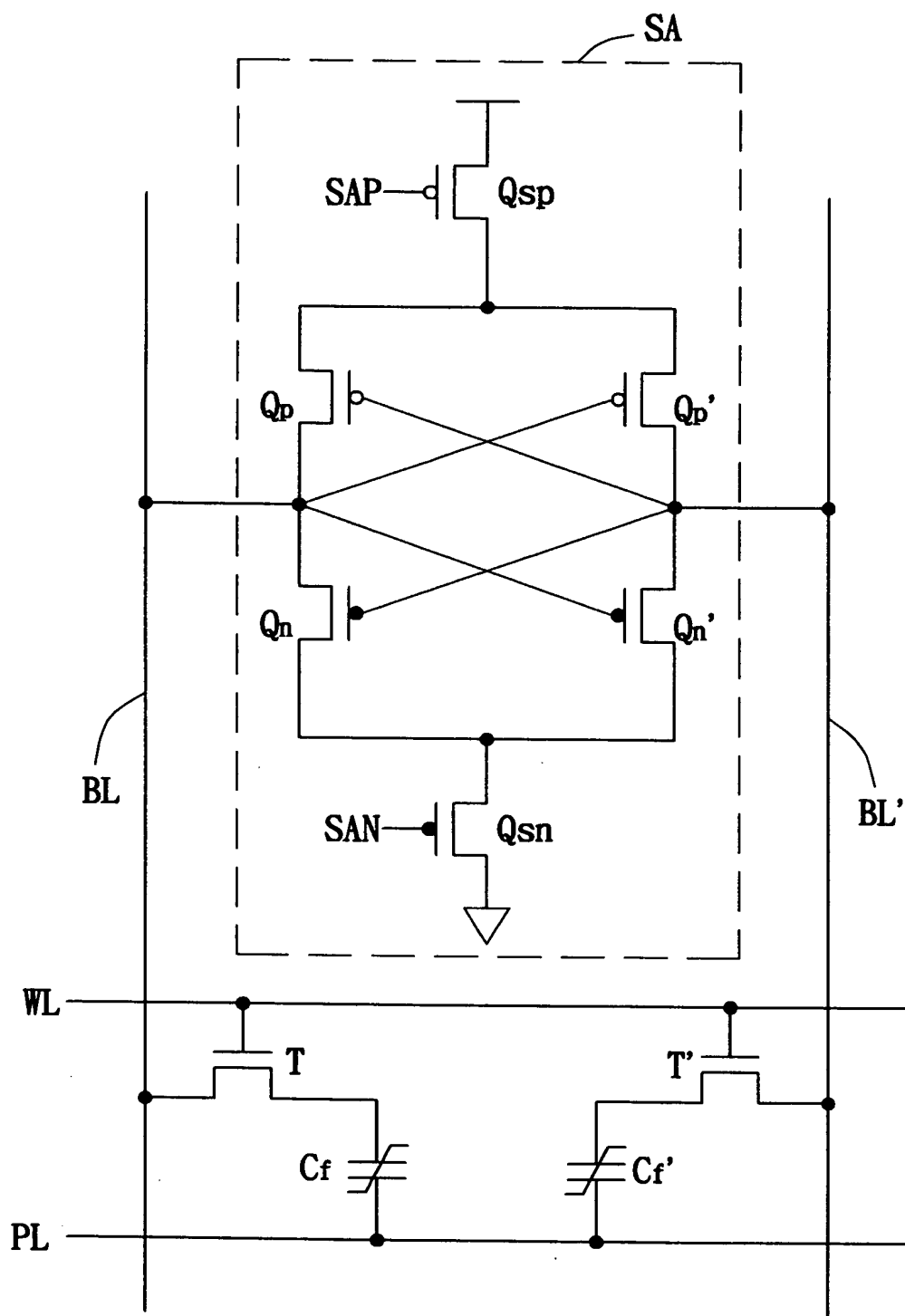
第 6A 圖



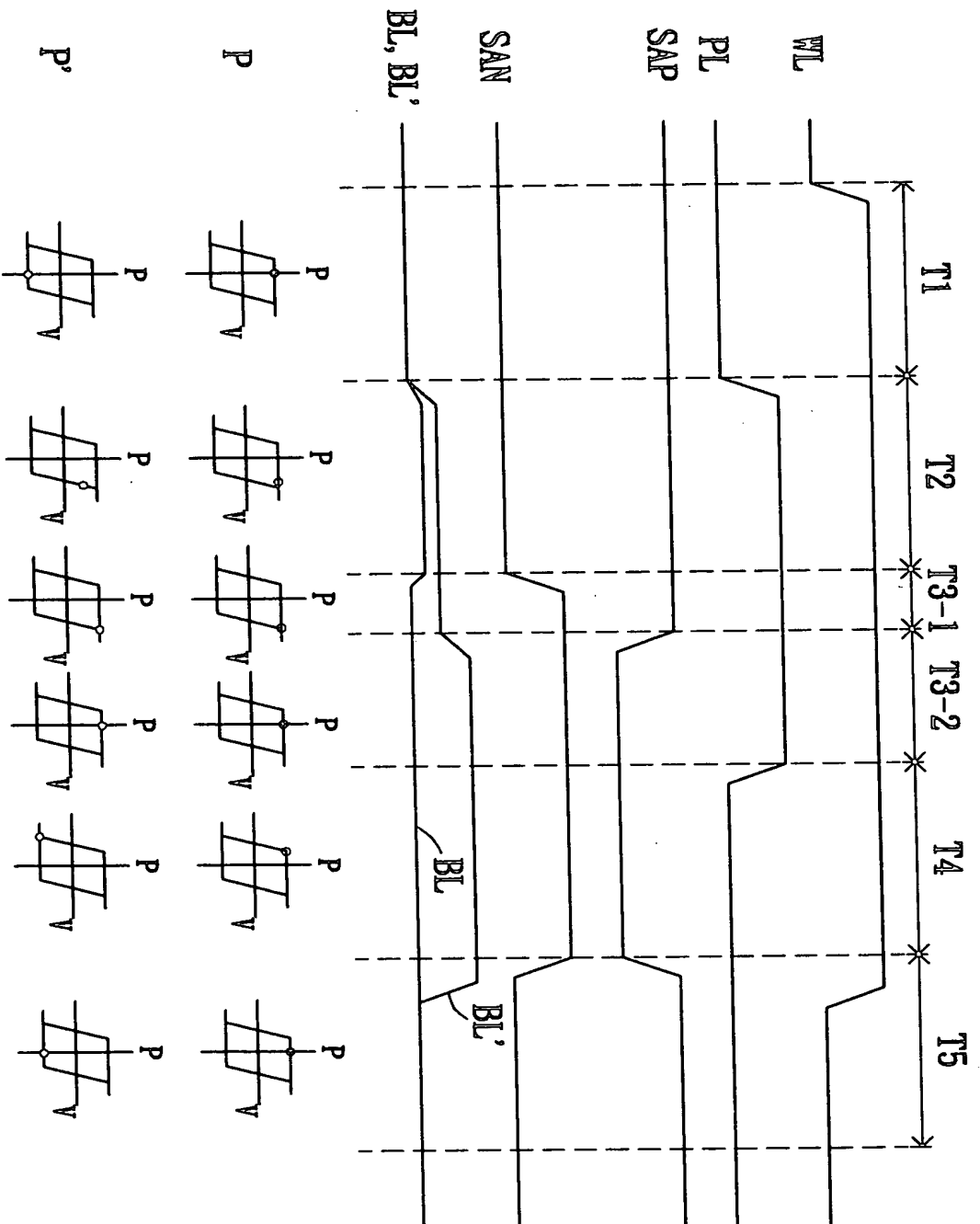
第 6B 圖



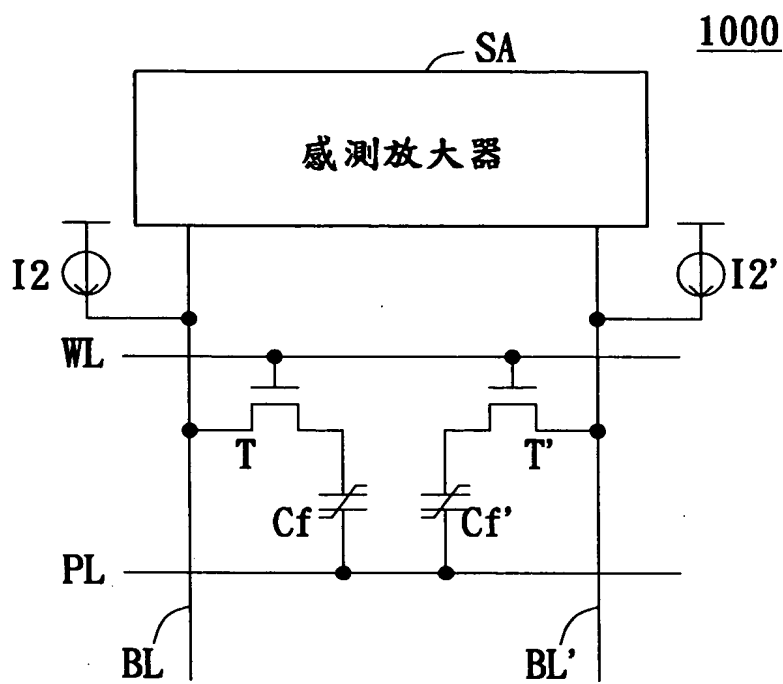
第 7 圖



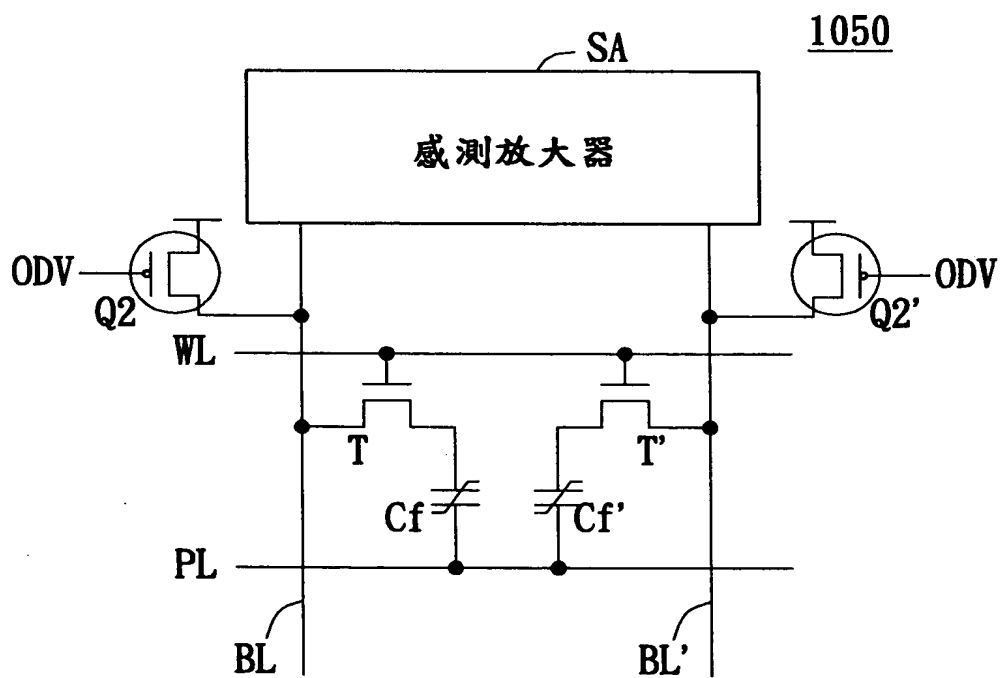
第 8 圖



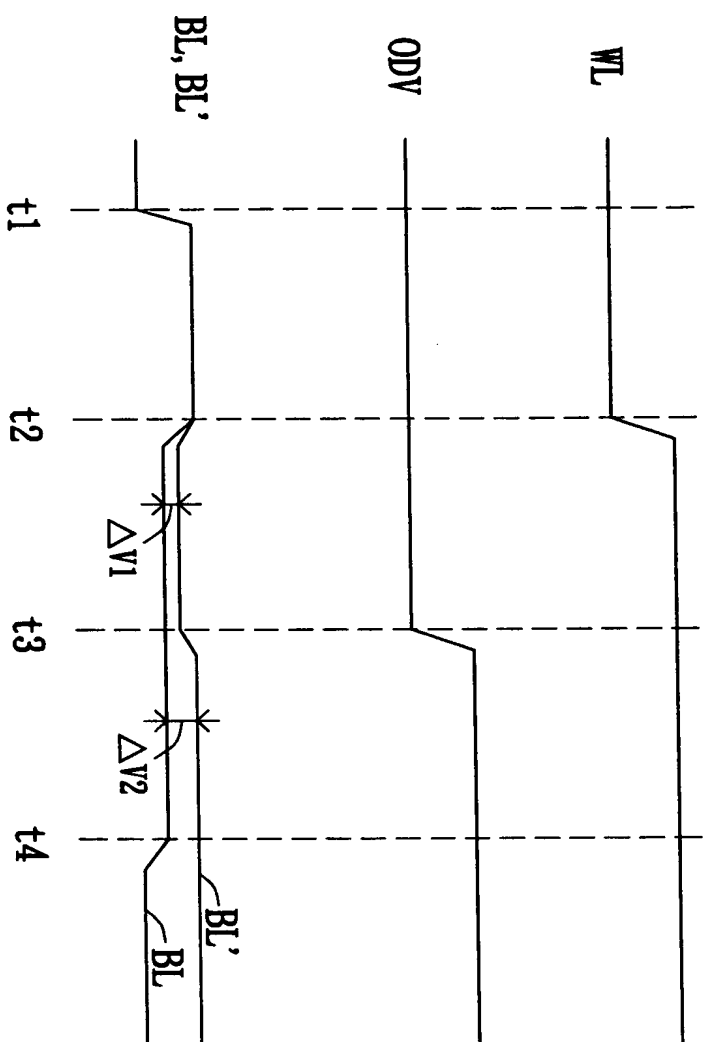
第 9 圖



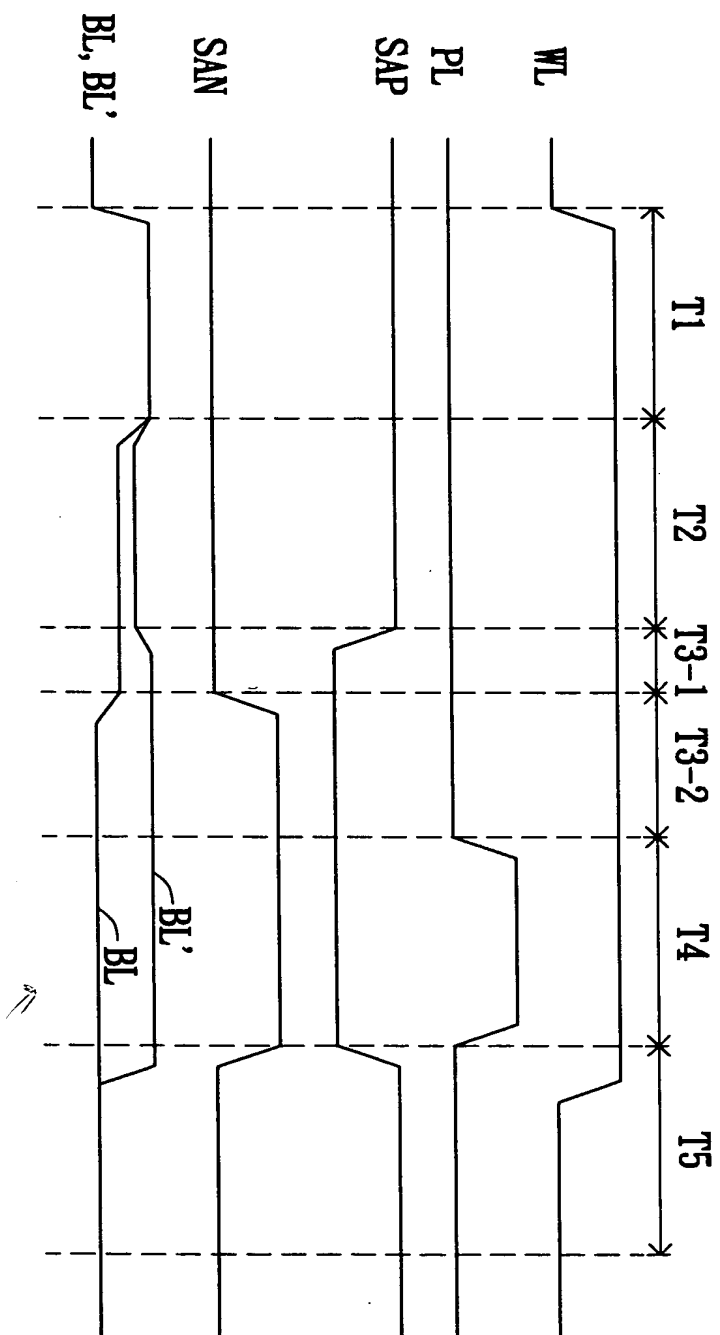
第 10A 圖



第 10B 圖



第 11 圖



第 12 圖